



PCT/IB 04 / 52796

(14. 12. 04)

REC'D 14 DEC 2004

WIRQUZATPCT

**WORLD INTELLECTUAL PROPERTY ORGANIZATION
ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE**

34, chemin des Colombettes, Case postale 18, CH-1211 Genève 20 (Suisse)
Téléphone: (41 22) 338 91 11 - e-mail: wipo.mail @ wipo.int. - Fac-similé: (41 22) 733 54 28

**PATENT COOPERATION TREATY (PCT)
TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)**

**CERTIFIED COPY OF THE INTERNATIONAL APPLICATION AS FILED
AND OF ANY CORRECTIONS THERETO**

**COPIE CERTIFIÉE CONFORME DE LA DEMANDE INTERNATIONALE, TELLE QU'ELLE
A ÉTÉ DÉPOSÉE, AINSI QUE DE TOUTES CORRECTIONS Y RELATIVES**

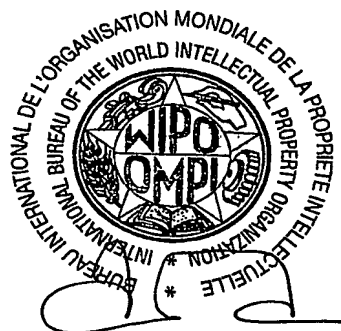
International Application No. } PCT/IB 04 / 00065
Demande internationale n° }

International Filing Date } 05 JANUARY 2005
Date du dépôt international }
(05.01.05)

Geneva/Genève, 03 JANUARY 2005
(03.01.05)

**International Bureau of the
World Intellectual Property Organization (WIPO)**

**Bureau International de l'Organisation Mondiale
de la Propriété Intellectuelle (OMPI)**



J.-L. Baron

Head, PCT Receiving Office Section
Chef de la section "office récepteur du PCT"

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年12月22日（22.12.2003）月曜日 17時51分12秒

JP030025W0-p

0	受理官庁記入欄	
0-1	国際出願番号	PCT/IB 04 / 0 0 0 6 5
0-2	国際出願日	0 5 JANUARY 2004 (0 5. 01. 04)
0-3	(受付印)	INTERNATIONAL BUREAU OF WIPO PCT International Application
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.92 (updated 01.11.2003)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	世界知的所有権機関国際事務局 (RO/IB)
0-7	出願人又は代理人の書類記号	JP030025W0-p
I	発明の名称	ESD保護回路を有する液晶表示装置及びその製造方法 (LIQUID CRYSTAL DISPLAY DEVICE HAVING ESD PROTECTION CIRCUIT AND MANUFACTURING METHOD OF THE SAME)
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	すべての指定国 (all designated States)
II-4ja	名称	コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
II-4en	Name	KONINKLIJKE PHILIPS ELECTRONICS N.V.
II-5ja	あて名:	NL-5621 BA オランダ王国 アインドーフェン フルーネヴァウツウェッハ 1
II-5en	Address:	Groenewoudseweg 1, NL-5621 BA Eindhoven Netherlands
II-6	国籍 (国名)	オランダ王国 NL
II-7	住所 (国名)	オランダ王国 NL
II-8	電話番号	+31 40 27 43 444
II-9	ファクシミリ番号	+31 40 27 43 489

特許協力条約に基づく国際出願願書

JP030025W0-p

原本（出願用） - 印刷日時 2003年12月22日 (22. 12. 2003) 月曜日 17時51分12秒

III-1	その他の出願人又は発明者	出願人である (applicant only) AE 日本フィリップス株式会社 PHILIPS JAPAN, LTD. 108-8507 日本国 東京都 港区 港南2-13-37 フィリップスビル Philips Bldg., 2-13-37, Kohnan, Minato-ku, Tokyo 108-8507 Japan 日本国 JP 日本国 JP
III-1-1	この欄に記載した者は	
III-1-2	右の指定国についての出願人である。	
III-1-4j a	名称	
III-1-4e n	Name	
III-1-5j a	あて名:	
III-1-5e n	Address:	
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
III-2	その他の出願人又は発明者	発明者である (inventor only) 田中 秀夫 TANAKA, Hideo 108-8507 日本国 東京都 港区 港南2-13-37 フィリップスビル 日本フィリップス株式会社内 c/o Philips Japan, Ltd. Philips Bldg., 2-13-37 Kohnan, Minato-ku, Tokyo 108-8507 Japan
III-2-1	この欄に記載した者は	
III-2-4j a	氏名 (姓名)	
III-2-4e n	Name (LAST, First)	
III-2-5j a	あて名:	
III-2-5e n	Address:	
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	
IV-1-1ja	氏名 (姓名)	
IV-1-1en	Name (LAST, First)	
IV-1-2ja	あて名:	
IV-1-2en	Address:	
IV-1-3	電話番号	
IV-1-4	ファクシミリ番号	
IV-1-5	電子メール	

特許協力条約に基づく国際出願願書

JP030025W0-p

原本 (出願用) - 印刷日時 2003年12月22日 (22. 12. 2003) 月曜日 17時51分12秒


V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	AP: BW GH GM KE LS MW MZ SD SL SZ TZ UG ZM ZW 及びハラレブプロトコルと特許協力条約の締約国であ る他の国 EA: AM AZ BY KG KZ MD RU TJ TM 及びユーラシア特許条約と特許協力条約の締約国で ある他の国 EP: AT BE BG CH&LI CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL PT RO SE SI SK TR 及びヨーロッパ特許条約と特許協力条約の締約国で ある他の国 OA: BF BJ CF CG CI CM GA GN GQ GW ML MR NE SN TD TG 及びアフリカ知的所有権機構と特許協力条約の締約 国である他の国	
V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	AE AG AL AM AT AU AZ BA BB BG BR BW BY BZ CA CH&LI CN CO CR CU CZ DE DK DM DZ EC EE EG ES FI GB GD GE GH GM HR HU ID IL IN IS JP KE KG KP KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ NI NO NZ OM PG PH PL PT RO RU SC SD SE SG SK SL SY TJ TM TN TR TT TZ UA UG UZ VC VN YU ZA ZM ZW	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて 、規則4.9(b)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日か ら15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関 (ISA)	ヨーロッパ特許庁 (EPO) (ISA/EP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国 際出願日における出願人の資格 に関する申立て	-	
VIII-3	先の出願の優先権を主張する国 際出願日における出願人の資格 に関する申立て	-	
VIII-4	発明者である旨の申立て (米国 を指定国とする場合)	-	
VIII-5	不利にならない開示又は新規性 喪失の例外に関する申立て	-	

4/4

JP030025W0-p

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年12月22日（22.12.2003）月曜日 17時51分12秒

IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	-
IX-2	明細書	11	-
IX-3	請求の範囲	2	-
IX-4	要約	1	EZABST00.TXT
IX-5	図面	6	-
IX-7	合計	24	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-11	包括委任状の写し	包括委任状番号: GPA 03/0183	-
IX-17	PCT-EASYディスク	-	フレキシブルディスク
IX-19	要約書とともに提示する図の番号	4	
IX-20	国際出願の使用言語名:	日本語	
X-1	提出者の記名押印	<i>Hirayoshi Aoki</i>	
X-1-1	氏名(姓名)	青木 宏義	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	05 JANUARY 2004	05. 01. 04
10-2	図面:		
10-2-1	受理された		
10-2-2	不足図面がある		
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）		
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日		
10-5	出願人により特定された国際調査機関	ISA/EP	
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない		

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

E S D 保護回路を有する液晶表示装置及びその製造方法

5 技術分野

本発明は、液晶表示装置及びその製造方法に関し、特に、E S D 保護回路を有する液晶表示装置及びその製造方法に関する。

背景技術

10 アクティブマトリクス型の液晶表示装置においては、数万ボルトにまで達する有害な静電放電からデバイスを保護するために、E S D 保護回路が設けられている。従来のE S D 保護回路としては、T F T（薄膜トランジスタ）の飽和領域動作を利用したダイオードなどが用いられている。

15 図1は、従来のE S D 保護回路を示す図であり、(a)は等価回路を示し、(b)はE S D 保護回路の配線を示す図である。

図1(b)において、E S D 保護回路には、ソースバス1と、そのソースバス1上に設けられたゲートバス層2とにより構成されたT F T 3が使用されている。具体的には、このT F T 3の飽和領域動作を利用し

20 たダイオードがE S D 保護回路として使用されている。

図2は、図1(b)におけるII-II線に沿う断面図である。図2において、絶縁性透明基板であるガラス基板10上には、T F Tに直接光が入射されないようにするライトシールド膜12が設けられている。このライトシールド膜12は、ソース電極とドレイン電極との間の領域（ギャップ）を含む領域に対応するガラス基板上の領域に形成される。ライ
25 トシールド膜12が形成されたガラス基板10上には、層間絶縁膜であ

るシリコン酸化膜 11 が形成されている。

シリコン酸化膜 11 上には、ソース電極（ソースバス）及びドレイン電極が形成されている。このソース電極及びドレイン電極は、それぞれ透明電極であるITO膜 13 及びITO膜 13 上に形成された金属膜 14 の 2 層構造を有する。ソース電極とドレイン電極との間には、ギャップが形成されており、そのギャップ及びギャップ周辺のソース電極及びドレイン電極上には、半導体膜である a-Si 膜 15 が形成されている。

a-Si 膜 15 上には、ゲート絶縁膜であるシリコン窒化膜 16 が形成されている。このシリコン窒化膜 16 には、コンタクトホール 16a が形成されている。シリコン窒化膜 16 のギャップを含む領域には、ゲートバス層 17 が形成されている。コンタクトホール 16a に形成されたゲートバス層 17 と同一層である膜 17a は、ソース電極と接続されている。

このような構成においては、ダイオード一つについてESD保護回路用TFETが一つ必要であるので、図1(b)に示すように、1本のバスラインについて最低2つのTFETが必要となる。しかも、このダイオードは、TFETを利用しているため、構造が複雑であり、比較的広いスペースを必要とする。さらに、TFETの飽和領域での動作は、電流が電圧に対して二次曲線的に立ち上がるので、ダイオード特性という観点からは望ましいものではない。

発明の開示

本発明の目的は、比較的狭いスペースに設けることができ、ダイオード特性に優れたESD保護回路を有する液晶表示装置及びフォトリソグラフィ工程を増加させることなく液晶表示装置を製造する方法を提供することである。

本発明のESD保護回路を有する液晶表示装置は、絶縁性基板上に層間絶縁膜を介して設けられたソース電極及びドレイン電極と、前記ソース電極及びドレイン電極上で部分的に比較的薄い薄膜部を有するゲート絶縁膜と、少なくとも前記薄膜部を含む前記ゲート絶縁膜上に設けられたゲートバス層と、を具備し、前記ソース電極及びドレイン電極と、前記薄膜部のゲート絶縁膜と、ゲートバス層とによりMIM構造が構成されることを特徴とする。

この構成によれば、ESD保護回路としてMIM構造を使用している
ので、TFTの飽和領域を用いる場合よりも望ましい特性を発揮するMIMをより小さい占有面積に形成することができ、デバイスの省スペース化、高集積化を実現することができる。

本発明の液晶表示装置においては、複数の前記MIM構造が直列で接続されたことが好ましい。また、本発明の液晶表示装置においては、前記薄膜部の厚さが50nm以下であることが好ましい。

本発明のESD保護回路を有する液晶表示装置の製造方法は、絶縁性基板上に層間絶縁膜を介してソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極上で部分的に比較的薄い薄膜部を有するゲート絶縁膜を形成する工程と、少なくとも前記薄膜部を含む前記ゲート絶縁膜上にゲートバス層を形成する工程と、を具備し、前記ソース電極及びドレイン電極と、前記薄膜部のゲート絶縁膜と、ゲートバス層とによりMIM構造が構成されることを特徴とする。

本発明の液晶表示装置の製造方法においては、前記ゲート絶縁膜における前記薄膜部の形成は、前記ゲート絶縁膜上に有機膜を形成する工程と、前記薄膜部の形成領域の露光量が比較的少ないマスクを用いて前記有機膜を露光し、露光後の有機膜を現像する工程と、現像後の有機膜の厚さを薄くして前記薄膜部の形成領域の前記ゲート絶縁膜を露出させる

工程と、前記露出したゲート絶縁膜に対してエッチングを施して凹部を形成する工程と、により行われることが好ましい。

この方法によれば、ESD保護回路にMIMを用いるので、より簡単な工程でより小さい領域にESD保護回路を形成することができる。また、この場合において、場所により露光量が異なるマスクを用いることにより、マスク工程を増加させることなくESD保護回路を形成することができる。

本発明の液晶表示装置の製造方法においては、前記マスクは露光量が比較的多い部分を有し、その部分で前記有機膜を露光し、露光後の有機膜を現像した領域にコンタクトホールを形成することが好ましい。

本発明の液晶表示装置の製造方法においては、前記薄膜部の形成領域の露光量が比較的少ないマスクとして、ハーフトーンマスク又は回折マスクを用いることが好ましい。

15 図面の簡単な説明

図1は、従来のESD保護回路を示す図であり、(a)は等価回路を示し、(b)はESD保護回路の配線を示す図である。

図2は、図1(b)におけるII-II線に沿う断面図である。

図3は、本発明の一実施の形態に係るESD保護回路を示す図であり、(a)は等価回路を示し、(b)はESD保護回路の配線を示す図である。

図4は、図3(b)におけるIV-IV線に沿う断面図である。

図5は、本発明の一実施の形態に係るESD保護回路の電流-電圧特性を示す図である。

図6は、従来のESD保護回路の電流-電圧特性を示す図である。

図7(a)～(c)は、本発明の一実施の形態に係るESD保護回路を製造する工程を示す図である。

図 8 (a) ~ (c) は、本発明の一実施の形態に係る ESD 保護回路を製造する工程を示す図である。

発明を実施するための最良の形態

5 以下、本発明の実施の形態について添付図面を参照して詳細に説明する。

図 3 は、本発明の一実施の形態に係る ESD 保護回路を示す図であり、(a) は等価回路を示し、(b) は ESD 保護回路の配線を示す図である。

図 3 (b) において、ESD 保護回路には、ソースバス 21 と、その
10 ソースバス 21 上に設けられたゲートバス層 (ゲートバス及びガードリング) 22 とにより構成された MIM (Metal-Insulator-Metal) 23 が使用されている。具体的には、この MIM 23 のダイオードが ESD 保護回路として使用されている。ここでは、図 3 (a) に示すように、MIM が直列に 3 つ接続されている場合について説明する。

15 ESD 保護回路において電流のリークが起これると、デバイス全体の消費電力が増加してしまう。したがって、ESD 保護回路のダイオードは、リーク電流を下げるという観点から、できるだけ直列に多く接続することが望ましい。

図 4 は、図 3 (b) における IV-IV 線に沿う断面図である。図 4 において、絶縁性透明基板であるガラス基板 30 上には、層間絶縁膜であるシリコン酸化膜 (例えば、 SiO_2) 31 が形成されている。なお、ここでガラス基板の代わりに石英基板や透明プラスチック基板を用いても良い。液晶表示装置が半透過型である場合には、このように絶縁性透明基板を用いるが、液晶表示装置が反射型である場合には、シリコン基板
25 を用いても良い。

シリコン酸化膜 31 上には、ソース電極及びドレイン電極が形成され

ている。このソース電極及びドレイン電極は、それぞれ透明電極であるITO膜32及びITO膜32上に形成された金属膜33の2層構造を有する。なお、ソース電極及びドレイン電極は、2層構造に限定されず、1層又は3層以上で構成しても良い。ソース電極とドレイン電極との間には、ソース電極及びドレイン電極が存在しないギャップ35が形成されている。

ソース電極及びドレイン電極上並びにギャップ35内には、ゲート絶縁膜であるシリコン窒化膜34が形成されている。このシリコン窒化膜(例えば、 SiN_x)34は、厚さが比較的厚い領域 D_1 部と厚さが比較的薄い領域 D_2 部を有する。シリコン窒化膜34に D_2 部にMIM構造が設けられる。この D_2 部は、後述する方法により形成することができる。なお、 D_2 部の厚さは、MIMのON電流が十分にとれることを考慮して、50nm以下であることが望ましい。

このように D_2 部を有するシリコン窒化膜34上には、ゲートバス層36が形成されている。これにより、 D_2 部には、MIM構造が構成される。ゲートバス層36は、必要に応じてフォトリソグラフィ法及びエッチングによりパターンニングされる。

このように、本発明のESD保護回路を有する液晶表示装置においては、ESD保護回路としてMIM構造を用いている。このため、図4から分かるように、3つのMIM23を狭い領域に設けることができる。このため、デバイスにおける省スペース化、高集積化を図ることが可能となる。

例えば、従来のTFETを用いたESD保護回路においては、2つのTFETで一つのMIMに対応する。したがって、図4に示すように、3つのMIMと同等のものを作製する場合、TFETを6つ形成する必要がある。このように、6つのTFETを形成する領域に比べると3つのMIM

を形成する領域の方が小さいスペースでESD保護回路を実現することができる。

また、上述したように、ESD保護回路用のダイオードはリーク電流を考慮すると直列で接続することが望ましい。本発明のようにMIMでESD保護回路を構成する場合には、MIM自体の構造は簡単であり、MIMの占有面積が小さいので、複数のMIMを直列に接続してもそれほど問題にならないが、複数のTFTを直列に接続すると、TFT自体の構造が複雑で占有面積が大きいのので、小さいスペースで簡単に構成することはできない。

- 10 図5は、本発明の一実施の形態に係るESD保護回路の電流－電圧特性を示す図であり、図6は、従来のESD保護回路の電流－電圧特性を示す図である。MIMの電流－電圧特性は、図5に示すように、 $I = k [\exp(V) - 1]$ （ここで、 k ：定数、 I ：電流、 V ：電圧）で近似できる。一方、TFTの飽和領域の電流－電圧特性は、図6に示すように、
15 $I = k' (V_g - V_{th})^2$ （ただし、 $V_g > V_{th}$ ）で近似できる。なお、図5及び図6において、 k 、 k' ：定数、 I ：電流、 V ：電圧を表す。

図5、図6から分かるように、電流値の立ち上がりはMIMの方がTFTよりも急峻である。したがって、ESD保護回路のダイオードとして使用する場合、MIMの方が優れている。

- 20 次に、本発明の実施の形態に係るESD保護回路を有する液晶表示装置の製造方法について図7及び図8を用いて説明する。図7(a)～(c)及び図8(a)～(c)は、本発明の一実施の形態に係るESD保護回路を製造する工程を示す図である。

- まず、図7(a)に示すように、ガラス基板30上に層間絶縁膜であるシリコン酸化膜31を形成する。次いで、シリコン酸化膜31上にITO膜32及び金属膜33を順次形成し、フォトリソグラフィ工程及
25

びエッチング工程により、開口部（ギャップ）35を形成する。この開口部には、この上に形成する膜のカバレッジを良好にするためにシリコン酸化膜31側に向かって幅が狭くなるようなテーパ面が設けられている。

- 5 その後、開口部を有する金属膜33上にシリコン窒化膜34を形成し、その上に、有機膜37の材料を塗布し、有機膜37を形成する。この有機膜37に対して、場所により露光量が異なるマスク、例えばハーフトーンマスクを用いてパターニングを施す。有機膜37の材料としては、感光性レジストなどを用いることができる。

- 10 このハーフトーンマスクは、光を通さない遮光部と、光の一部を通す半透過部（比較的露光量が少ない）と、すべての光を通す透過部（比較的露光量が多い）とを有する。ハーフトーンマスクの透過部は、ゲート絶縁膜にコンタクトホールを形成する領域に対応して設けられており、遮光部は、ギャップ35に対応して設けられており、半透過部は、M I .
15 M構造を形成する領域に対応して設けられている。

- このハーフトーンマスクを用いて露光すると、透過部においてはすべての露光光が通過し、半透過部においては一部の露光光が通過する。一方、遮光部においては露光光が通過しない。露光後の有機膜に現像処理を施すと、透過部に対応する部分37aの有機膜37はほとんど除去さ
20 れる。また、半透過部に対応する部分37cの有機膜37は部分的に除去される。また、遮光部に対応する部分37bの有機膜37はほぼ全て残存する。このようにして、図7（a）に示すようにそれぞれ厚さの異なる部分37a～37cを有する有機膜37が一つのマスク工程で形成される。

- 25 次に、図7（b）に示すように、有機膜37をマスクとして開口部分37aで露出したシリコン窒化膜34に対してドライエッチングを行ってコンタクトホール38を形成する。なお、このドライエッチングは、

コンタクトホールを形成する領域のシリコン窒化膜 3 4 を除去するために行うので、その目的を達成できる範囲内で使用ガスや条件を適宜変更することができる。

5 次いで、図 7 (c) に示すように、有機膜 3 7 に対してドライエッチングを行って、有機膜 3 7 の全体の厚さを減少させて、MIM 形成領域 X のシリコン窒化膜 3 4 を露出させる (開口部形成)。このとき、MIM 形成領域 X のシリコン窒化膜 3 4 上に有機膜 3 7 が残存する場合には、アッシングなどにより有機膜 3 7 を除去するのが好ましい。

10 なお、このドライエッチングは、MIM を形成する領域上の有機膜 3 7 を除去するために行うので、その目的を達成できる範囲内で使用ガスや条件を適宜変更することができる。また、露出したシリコン窒化膜 3 4 (MIM 形成領域) は、EPD (End Point Detector) により検出することができる。また、ドライエッチングを誘導結合型プラズマ (ICP) モードや反応性イオンエッチング (RIE) モードで行うことによ
15 り、有機膜 3 7 の厚さを均一に減少させることができるので、ドライエッチング後に凹凸形状を維持することができる。

次いで、図 8 (a) に示すように、厚さを減少させた有機膜 3 7 d をマスクとして、露出したシリコン窒化膜 3 4 (MIM 形成領域 X) をドライエッチングして、MIM 形成領域 X のシリコン窒化膜 3 4 に凹部 3
20 9 を形成する。なお、このドライエッチングは、凹部 3 9 を形成する領域のシリコン窒化膜 3 4 を除去するために行うので、その目的を達成できる範囲内で使用ガスや条件を適宜変更することができる。

次いで、図 8 (b) に示すように、シリコン窒化膜 3 4 上の有機膜を除去して、シリコン窒化膜 3 4 上にゲートバス層 3 6 を形成する。この
25 とき、コンタクトホール 3 8 領域でソース・ドレイン電極用の金属膜 3 3 とゲートバス層 3 6 とが接続する。その後、図 8 (c) に示すように、フォトリソグラフィ工程及びエッチング工程によりゲートバス層 3 6

をパターンニングする。このようにして、ESD保護回路としてMIM23を有する構造を形成することができる。

上述した方法によれば、TFTを用いてESD保護回路を構成する場合に比べてマスク工程を増加することなく、MIMを用いたESD保護回路を作製することができる。

このようにしてアレイ基板を作製し、通常の方法により対向基板を作製し、これらのアレイ基板と対向基板とを用いてアセンブリしてアクティブマトリクス型液晶表示装置を作製する。

本発明は上記実施の形態に限定されず、その条件、材料、使用ガスなどについては種々変更して実施することが可能である。例えば、上記実施の形態において使用した材料や構造に限定なく、その機能を発揮することができる代替材料や代替構造を用いても良い。すなわち、上記実施の形態では、層間絶縁膜としてシリコン酸化膜を用い、ゲート絶縁膜としてシリコン窒化膜を用いた場合について説明しているが、本発明においては、等価な機能を発揮するのであれば、他の材料を用いても良い。また、各膜の厚さは、それぞれの膜の機能を発揮するならば特に制限はない。

また、上記実施の形態においては、ハーフトーンマスクを用いた場合について説明しているが、本発明においては、遮光部、透過部、半透過部(解像度限界以下の微小パターン部)を有する回折マスクを使用して、厚膜部及び開口部を有する有機膜を形成しても良い。なお、この回折マスクの場合、露光機の解像限界以下の小さいパターンを形成し、この部分を半透過部とする。この小さいパターンで光が回折することにより、弱い光がマスクを透過する。

以上説明したように本発明は、ESD保護回路としてMIM構造を使用しているので、TFTの飽和領域を用いる場合よりも望ましい特性を

発揮するMIMをより小さい占有面積に形成することができ、デバイスの省スペース化、高集積化を実現することができる。

- また、本発明は、ESD保護回路にMIMを用いるので、より簡単な工程でより小さい領域にESD保護回路を形成することができる。また、
- 5 この場合において、場所により露光量が異なるマスクを用いることにより、マスク工程を増加させることなくESD保護回路を形成することができる。

産業上の利用可能性

- 10 本発明は、アクティブマトリクス型液晶表示装置に適用することができる。

請求の範囲

1. ESD保護回路を有する液晶表示装置であって、
絶縁性基板上に層間絶縁膜を介して設けられたソース電極及び
5 ドレイン電極と、
前記ソース電極及びドレイン電極上で部分的に比較的薄い薄膜
部を有するゲート絶縁膜と、
少なくとも前記薄膜部を含む前記ゲート絶縁膜上に設けられた
ゲートバス層と、
10 を具備し、
前記ソース電極及びドレイン電極と、前記薄膜部のゲート絶縁膜
と、ゲートバス層とによりMIM構造が構成される液晶表示装置。
2. 複数の前記MIM構造が直列で接続された請求項1記載の液晶
15 表示装置。
3. 前記薄膜部の厚さが50nm以下である請求項1又は請求項2
記載の液晶表示装置。
- 20 4. ESD保護回路を有する液晶表示装置の製造方法であって、
絶縁性基板上に層間絶縁膜を介してソース電極及びドレイン電
極を形成する工程と、
前記ソース電極及びドレイン電極上で部分的に比較的薄い薄膜
部を有するゲート絶縁膜を形成する工程と、
25 少なくとも前記薄膜部を含む前記ゲート絶縁膜上にゲートバス
層を形成する工程と、

を具備し、

前記ソース電極及びドレイン電極と、前記薄膜部のゲート絶縁膜と、ゲートバス層とによりMIM構造が構成される液晶表示装置の製造方法。

5

5. 前記ゲート絶縁膜における前記薄膜部の形成は、前記ゲート絶縁膜上に有機膜を形成する工程と、前記薄膜部の形成領域の露光量が比較的少ないマスクを用いて前記有機膜を露光し、露光後の有機膜を現像する工程と、現像後の有機膜の厚さを薄くして前記薄膜部の形成領域の前記ゲート絶縁膜を露出させる工程と、前記露出したゲート絶縁膜に対してエッチングを施して凹部を形成する工程と、により行われる請求項4記載の液晶表示装置の製造方法。

10

6. 前記マスクは露光量が比較的多い部分を有し、その部分で前記有機膜を露光し、露光後の有機膜を現像した領域にコンタクトホールを形成する請求項5記載の液晶表示装置の製造方法。

15

7. 前記薄膜部の形成領域の露光量が比較的少ないマスクとして、ハーフトーンマスク又は回折マスクを用いる請求項5又は請求項6記載の液晶表示装置の製造方法。

20

要 約 書

シリコン酸化膜 3 1 上のソース電極及びドレイン電極は、それぞれ透明電極である I T O 膜 3 2 及び I T O 膜 3 2 上に形成された金属膜 3 3
5 の 2 層構造を有する。ソース電極とドレイン電極との間には、ソース電極及びドレイン電極が存在しないギャップ 3 5 が形成されている。ソース電極及びドレイン電極上並びにギャップ 3 5 内には、ゲート絶縁膜であるシリコン窒化膜 3 4 が形成されている。このシリコン窒化膜 3 4 は、厚さが比較的厚い領域 D₁ 部と厚さが比較的薄い領域 D₂ 部を有する。シリコン窒化膜 3 4 に D₂ 部に M I M 構造が設けられる。シリコン窒化膜
10 3 4 上には、ゲートバス層 3 6 が形成されている。これにより、D₂ 部には、M I M 構造が構成される。

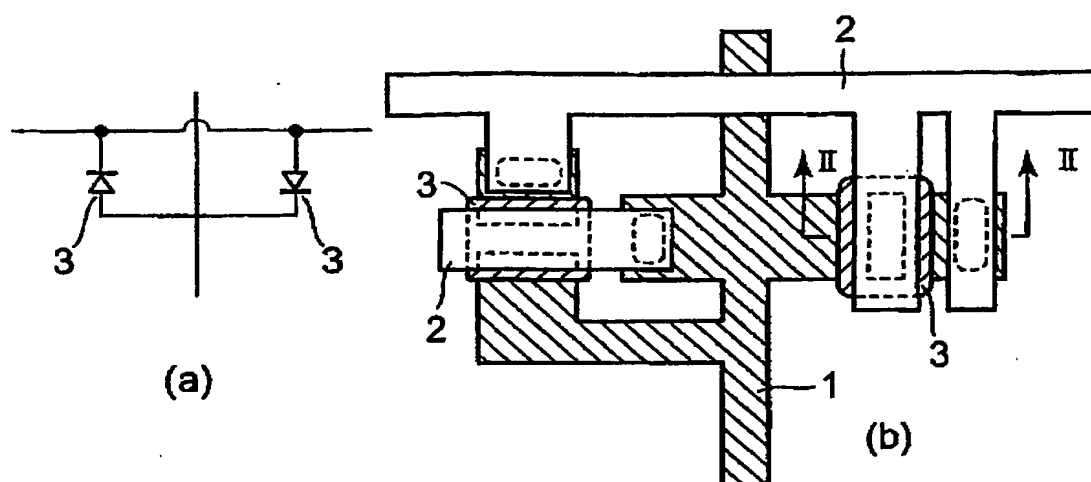


图 1

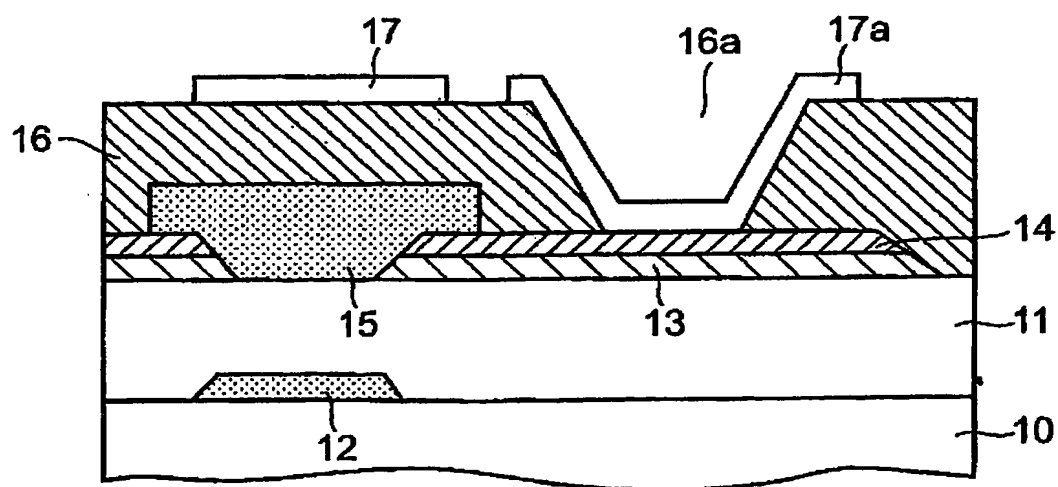


图 2

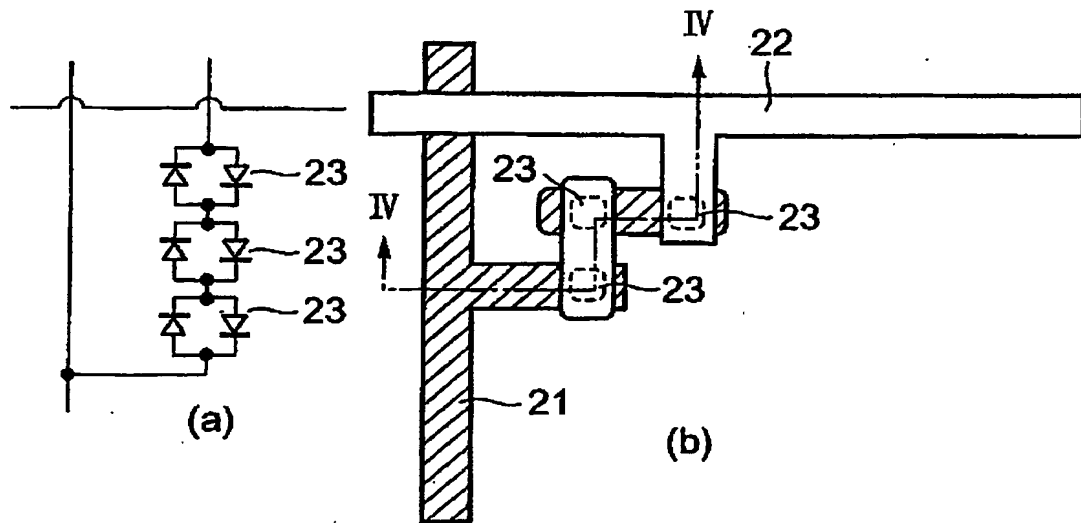


图 3

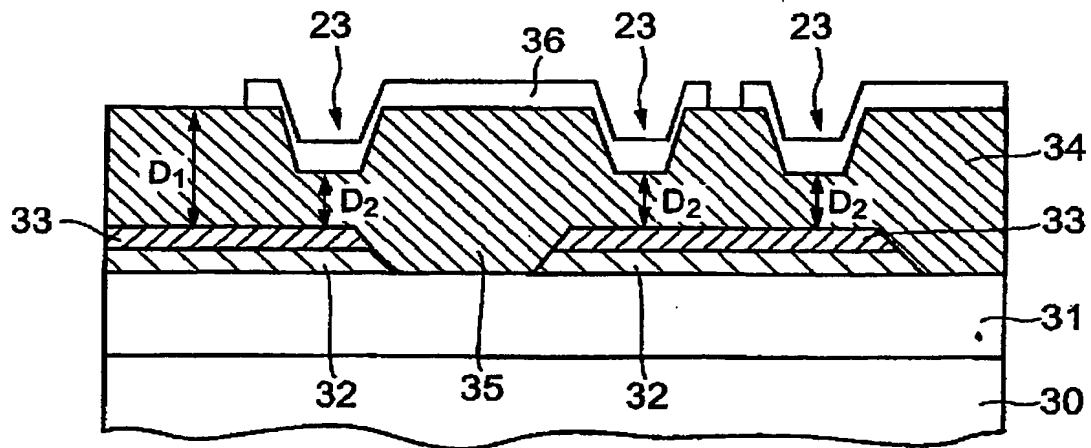


图 4

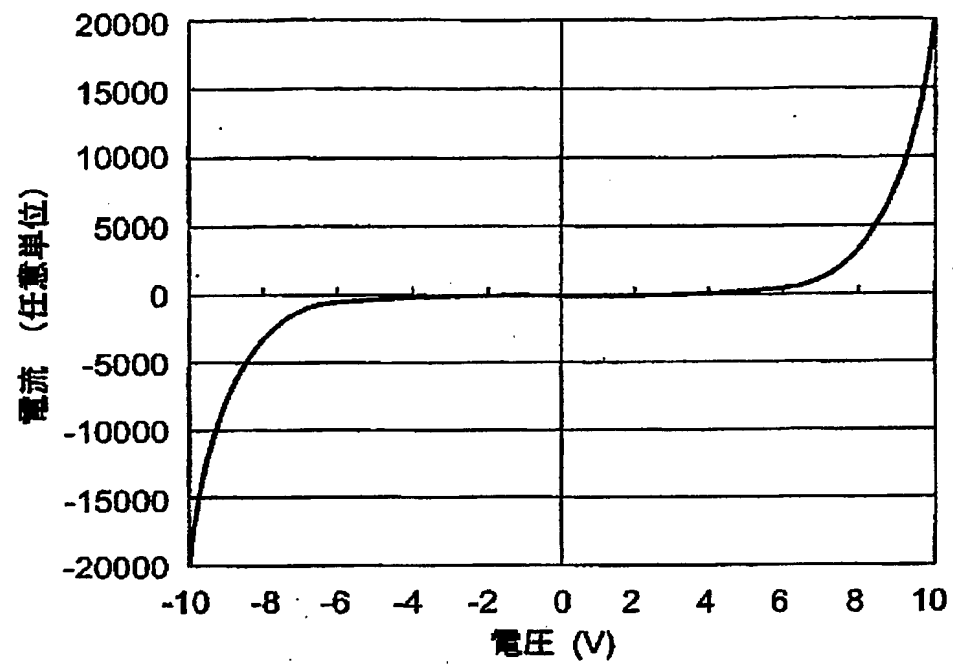


図 5

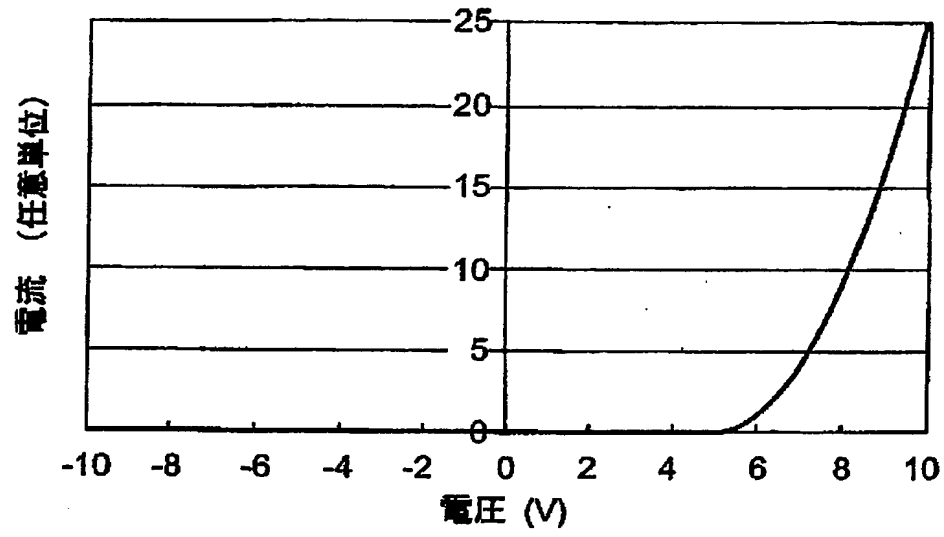


図 6

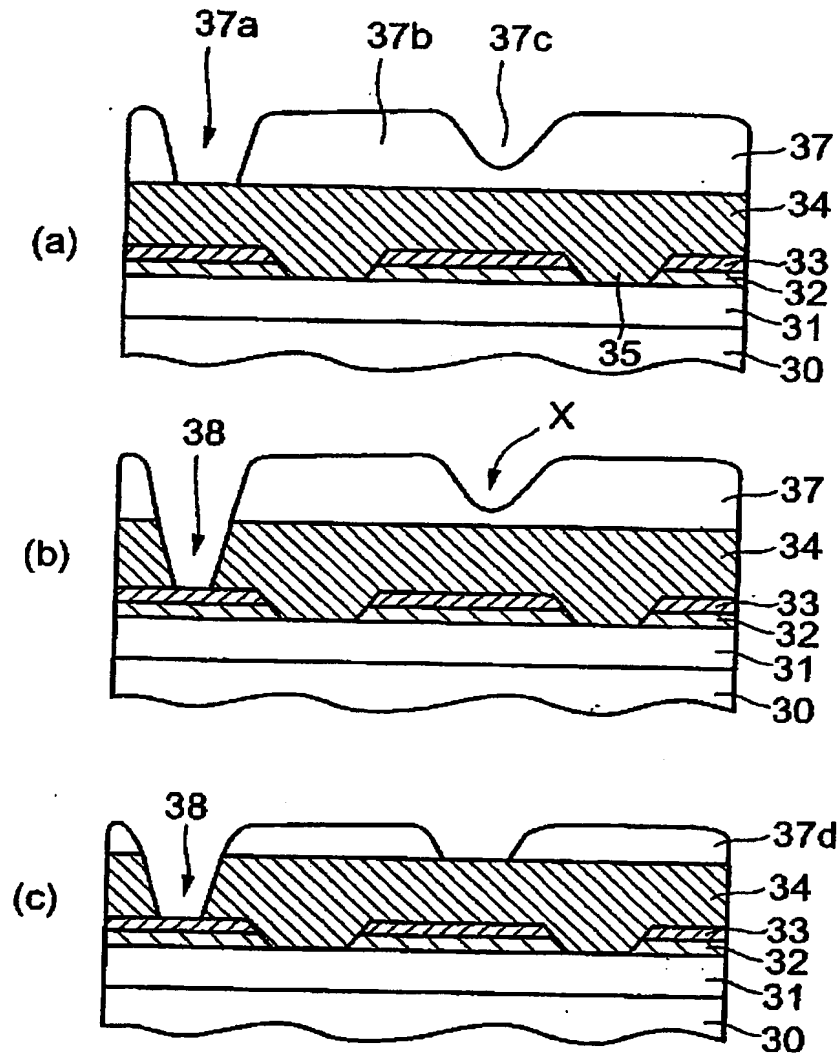


图 7

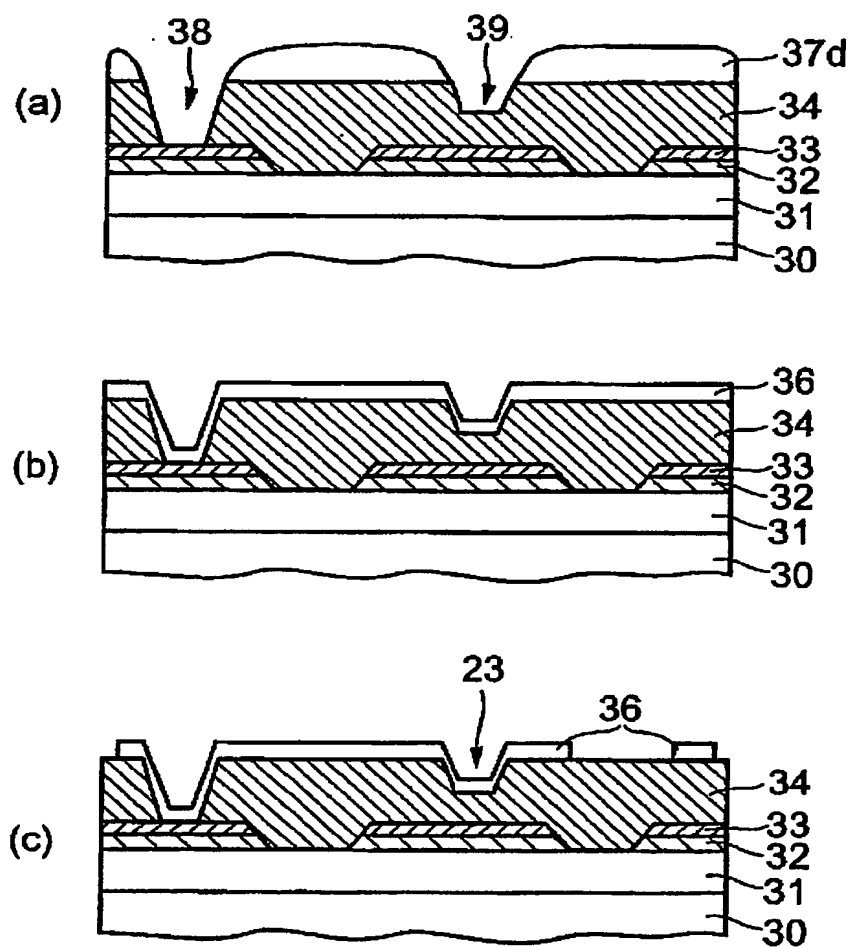


図 8